

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06338199 A

(43) Date of publication of application: 06.12.94

(51) Int. Cl

G11C 29/00**G11C 11/401****H01L 27/108**

(21) Application number: 05146684

(22) Date of filing: 27.05.93

(71) Applicant: HITACHI LTD TEXAS INSTR
JAPAN LTD(72) Inventor: NAKAI KIYOSHI
SUZUKI YUKIE
YOSHIDA HIROYUKI
INUI TAKASHI
NUMAGA SHIGEKI

(54) SEMICONDUCTOR STORAGE DEVICE

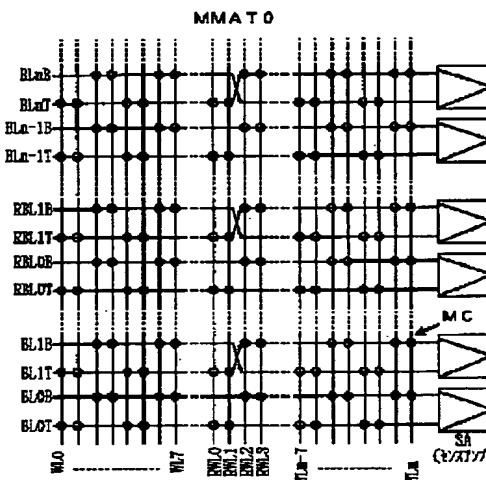
(57) Abstract:

PURPOSE: To lower the probability of the occurrence of defects when a defective word or bit line is switched to a standby word or bit line so as to improve the operating margin of a semiconductor storage device by providing standby bit or word lines at nearly the central part of the memory mat of the storage device.

CONSTITUTION: Word lines WL_0 - WL_n are arranged in parallel in the longitudinal direction. Paired complementary bit lines, the one ends of which are connected to paired input-output nodes of sense amplifiers SA, are arranged in parallel in the transversal direction. The complementary bit lines BL1T and BL1B having odd numbers having twist sections in which the arrangement of the lines are changed to each other at their central parts. In addition, two standby word lines RWL0 and RWL1 are provided at the left-side central parts of the twist sections and two standby word lines RWL2 and RWL3 are provided on the right-side central parts. As a result, the occurrence of defects at the central part of a memory mat is relatively reduced against the occurrence of defects at edge sections. Therefore, the defect remedying probability when a

normal word line is switched to a standby word line without tests due to a defect can be improved.

COPYRIGHT: (C)1994,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-338199

(43)公開日 平成6年(1994)12月6日

(51) Int.Cl.⁵
 G 11 C 29/00
 11/401
 H 01 L 27/108

識別記号 301 B 庁内整理番号 6866-5L

F I

技術表示箇所

7210-4M

G 11 C 11/ 34 3 6 2 B
 H 01 L 27/ 10 3 2 5 P
 審査請求 未請求 請求項の数 3 FD (全 7 頁)

(21)出願番号 特願平5-146684

(22)出願日 平成5年(1993)5月27日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社
東京都港区北青山3丁目6番12号 青山富士ビル

(72)発明者 中井 潔

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 徳若 光政

最終頁に続く

(54)【発明の名称】 半導体記憶装置

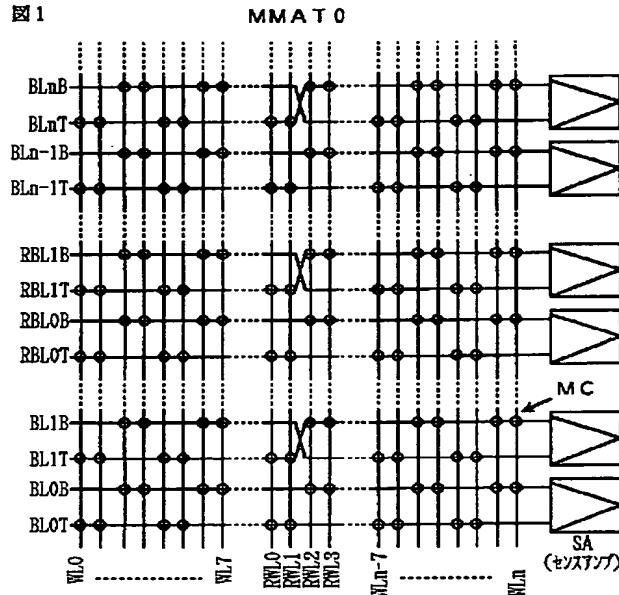
(57)【要約】

【目的】 欠陥救済の確率を高くし、動作マージンの改善を図った半導体記憶装置を提供する。

【構成】 予備のビット線又はワード線をメモリマットのほぼ中央部に配置する。

【効果】 予備のワード線又はビット線の不良発生確率が小さいから、不良のワード線又はビット線を予備のワード線又はビット線に切り替えたときの不良発生確率を低くすることができる。

図1



【特許請求の範囲】

【請求項1】 予備のビット線又はワード線をメモリマットのほぼ中央部に配置してなることを特徴とする半導体記憶装置。

【請求項2】 上記ビット線は、一对の相補ビット線からなり、その中央部においてツイスト部が設けられるものと、上記ツイスト部が設けられないものとが交互に配置されるものであり、上記ツイスト部を挟んで両側に同じ数からなる予備のワード線が設けられるものであることを特徴とする請求項1の半導体記憶装置。

【請求項3】 上記ビット線とワード線の交点にはダイナミック型メモリセルが配置されるものであることを特徴とする請求項1又は請求項2の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体記憶装置に関し、特に相補ビット線にツイスト部が設けられたものの欠陥救済回路に利用して有効な技術に関するものである。

【0002】

【従来の技術】 予備のワード線又はビット線（データ線又はディジット線と呼ばれる場合もある）を設けて、不良ビット線又は不良データ線の救済を行うようにしたダイナミック型RAM（ランダム・アクセス・メモリ）がある。このようなダイナミック型RAMの欠陥救済技術に関しては、例えば特開平3-214699号公報がある。

【0003】

【発明が解決しようとする課題】 従来のダイナミック型RAMにあっては、例えば不良のワード線を予備ワード線に切り替えると不良が救済されないという問題がある。そこで、予備のワード線のテストを行い、不良があるか否かを識別して欠陥救済を行うことが考えられる。しかしながら、予備のワード線に不良があるか否かを識別するためには、通常動作とは異なるテストモードに設定してから予備のワード線又はビット線に接続されたメモリセルをアクセスしての試験を行うものとなるため、その手順やテストパターンの発生が通常のテストパターンとは異なるものになってしまう。このため、量産のダイナミック型RAMにおいては、テスト時間の短縮化のために予備のワード線や予備のビット線について逐一テスト動作を行うことが難しいのが現状である。

【0004】 従来のダイナミック型RAMにあっては、予備のワード線又はビット線がメモリマットの端に配置されている。本願発明者にあっては、メモリマットの端における不良発生率が、メモリマットの中央部に比べて相対的に高いことに着目して、実際的な欠陥救済確率を高くすることを考えた。また、本願発明者においては、メモリマットの端に予備のワード線を設けると、隣接ビット線との容量結合の影響を軽減するために中央部にビ

ット線ツイスト部を設けたものでは、交差するワード線との数にアンバランスが生じ、結果としてビット線容量にアンバランスが生じてしまうという問題も生じることを見い出した。

【0005】 この発明の目的は、欠陥救済の確率を高くできる半導体記憶装置を提供することにある。この発明の他の目的は、動作マージンの改善を図った半導体記憶装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、予備のビット線又はワード線をメモリマットのほぼ中央部に配置する。

【0007】

【作用】 上記した手段によれば、予備のワード線又はビット線の不良発生確率が小さいから、不良のワード線又はビット線を予備のワード線又はビット線に切り替えたときの不良発生確率を低くすることができる。

【0008】

【実施例】 図1には、この発明に係るダイナミック型RAMのメモリマット部の一実施例の概略パターン図が示されている。同図の各回路と配線は、公知の半導体集積回路の製造技術より、単結晶シリコンのような1個の半導体基板上において形成される。同図の各回路と配線は、半導体基板上における実際の幾何学的な配置にほぼ合わせて描かれている。

【0009】 同図において、ワード線WL0～WLnは縦方向に延長されるように並んで配置される。センスアンプSAの一対の入出力ノードに一端が接続されてなる一对からなる相補ビット線は、横方向に延長されるように並んで配置される。特に制限されないが、この実施例では、隣接ビット線間の容量結合の影響を差動のセンスアンプSAにより相殺させるようにするために、奇数番号が付された相補ビット線BL1T, BL1Bは、その中央部において配置が相互に入れ換えられるツイスト部が設けられる。

【0010】 この実施例では、単純な構成により欠陥救済率を高くするために上記ツイスト部を挟んで左側の中央部に2本の予備ワード線RWL0, RWL1が設けられ、上記ツイスト部を挟んで右側の中央部に2本の予備ワード線RWL2, RWL3が設けられる。

【0011】 この構成では、相補ビット線側から見ると、交差するワード線の数が予備のワード線を含んで同じ数にできる。これにより、ビット線においてツイスト部に対して左右に接続されるメモリセルの数を同数にできるので、容量のバランスを探ることができ動作マージンの拡大を図ることも可能となる。

【0012】 すなわち、ワード線は、一般に単位のデコ

一ダによって4本のワード線を選択し、その中から1つを選ぶようするので、上記のようなツイスト部を設けた場合には、予備のワード線が設けられる側がワード線4本分のピッチだけ長くなるし、接続されるメモリセルの数が増加して上記のようなアンバランスが生じてしまう。これに対して、本願では、上記のようにツイスト部を挟んで2本ずつ合計4本の予備のワード線を並べて配置できるので、それらに共通の予備のデコーダを設けることができる。

【0013】この実施例では、予備のビット線もRBL0T, RBL0BとRBL1T, RBL1Bのように2対がメモリマットの中央部に設けられる。これらの相補ビット線RBL0T, RBL0BとRBL1T, RBL1Bとには、センスアンプSAが設けられる。上記予備のビット線RBL0T, RBL0BとRBL1T, RBL1Bに対応して設けられるセンスアンプは、他のセンスアンプと同様に制御される。それ故、予備のワード線と異なり、予備のビット線RBL0T, RBL0BとRBL1T, RBL1Bにおいては、センスアンプSAが欠陥救済のある無しに無関係に動作状態にされる。これらのビット線の一方はRBL1T, RBL1Bは中央部にツイスト部が設けられる。これにより、全体としてのビット線のツイスト部が無いものと在るものとの規則性を維持することができる。

【0014】図1において、メモリセルMCは、ワード線と相補ビット線のうちの一方との交点に○で示された箇所に接続される。メモリセルMCは、公知のようにアドレス選択用MOSFETと情報記憶用キャパシタから構成される。上記アドレス選択用MOSFETのゲートはワード線に接続され、その一方のソース、ドレインがビット線に接続される。アドレス選択用MOSFETの他方のソース、ドレインは、キャパシタの一方の電極に接続される。

【0015】上記の構成では、メモリマットの中央部分での不良発生率は、メモリマットの端の部分での不良発生率に対して相対的に低くされる。それ故、いずれか正規のワード線に不良があって、予備のワード線の試験を行ふことなく、一律に予備のワード線に切り替えたときの欠陥救済確率を高くすることができる。この実施例では、上記のように予備のワード線に対する試験を省略しても、欠陥救済確率を高くできるので、量産される汎用メモリであるダイナミック型RAM等に適用して有効となるものである。

【0016】上記ツイスト部を中心としたロウ系のアドレスにより、データスクランブル論理の単純化も図ることができる。すなわち、相補ビット線の入れ換えによって、読み出されたデータのレベルが逆転してしまうので、それを論理的に補正して試験のためのデータの書き込み／読み出しを行う必要がある。このようなデータスクランブル処理において、ツイスト部を挟んで分けられ

るメモリセルの物理レベルが逆転してセンスアンプに入力されるので、上記ツイスト部に対応した1ビットのアドレスのハイレベル／ロウレベルにより反転／非反転の処理を行うだけでよい。このことは、不良ワード線が予備のワード線に切り替えられたときのテストモードにおいて有効となる。

【0017】図2には、予備ワード線の選択回路の一実施例の回路図が示されている。信号XE Bは、不良ワード線へのアクセスを検出するとハイレベルになる信号で10ある。この信号XE BとRAS系のタイミング信号R2とが NANDゲート回路G1に供給され、その出力信号がインバータ回路N1を通して予備のワード線選択回路を有効にする。

【0018】信号MSiは、マット選択信号であり、信号BX1B, BX1T及びBX0B, BX0Tは、下位2ビットのアドレス信号に対応した信号であり、4本のワード線のうちの1本を選択するために用いられる。 NANDゲート回路G2ないしG5は、上記インバータ回路N1の出力信号とマット選択信号MSiにより有効にされ、内部アドレス信号BX1B, BX1T及びBX0B, BX0Tを解読して1つの予備ワード線の選択信号XROB～XR3Bの中のいずれか1つをロウレベルにする。これにより、不良のワード線に代えて、上記予備のワード線選択信号XROB～XR3Bの中のいずれか1つロウレベルにされたものに対応した予備のワード線が選択状態にされる。

【0019】図3には、ワード線選択動作を説明するための一実施例のタイミング図が示されている。ロウアドレスストローブ信号RASBのロウレベルによりロウ系のアドレス信号の取り込みが行われる。すなわち、信号RASBのロウレベルにより内部信号R1がハイレベルにされて、アドレス信号Aiがロウアドレス(ROW)として取り込まれる。

【0020】上記取り込まれたロウアドレスROWに対応して内部信号BXiのレベルが決定される。この内部信号BXiを解読してマット選択信号MS0がハイレベルされる。上記信号R1により不良アドレスとの比較が行われて、不良アドレスへのアクセスでないときには信号XEがハイレベルにされる。上記信号R1に遅れて内部信号R2がハイレベルにされる。この信号R2と信号XEにより4本分のワード線の中から1つのワード線に対応したワード線選択タイミング信号XOBがロウレベルにされる。他のロウ系のアドレス信号を解読するプリデコーダ回路によって、4本分のワード線の選択信号が形成されているので、上記信号XB0のロウレベルに同期してワード線WL0がハイレベルの選択状態にされる。

【0021】次のメモリサイクルにおいて、不良ワード線へのメモリアクセスであるときには、信号XEがロウレベルのままとされる。これにより、上記不良ワード線50

の選択動作が禁止され、図2に示したような信号X E Bがハイレベルとなって、信号R 2がハイレベルにされたタイミングで予備のワード線に対応した選択信号X R B 0がロウレベルにされる。この信号X R 0 Bのロウレベルに同期して、予備のワード線R W L 0がハイレベルの選択状態にされる。

【0022】図4と図5には、この発明に係るダイナミック型RAMの要部一実施例のブロック図が示されている。図4には、メモリアレイとその周辺選択回路が示され、図5にはアドレスバッファや出入力バッファのような入出力インターフェイス部とタイミング制御回路が示されている。

【0023】図4において、2つのメモリマットMAT 0とMAT 0に挟まれてセンスアンプSA 0 1が設けられる。すなわち、センスアンプSA 0 1は、2つのメモリマットMAT 0とMAT 1に対して選択的に用いられるシェアードセンスアンプとされる。センスアンプSA 0 1の入出力部には、図示しないが選択スイッチが設けられてメモリマットMAT 0又はMAT 1の相補ビット線に接続される。

【0024】他のメモリマットMAT 2, MAT 3や、MAT 4, MAT 5及びMAT 6, MAT 7もそれぞれ一対とされて、それぞれにセンスアンプSA 2 3, SA 4 5及びSA 6 7が共通に設けられる。上記のような合計8個のメモリマットと4個のセンスアンプにより、1つのメモリアレイMARY 0が構成される。このメモリアレイMARY 0に対してYデコーダYDが設けられる。YデコーダYDを挟んで対称的にメモリアレイMARY 1が設けられる。このメモリアレイMARY 1は、内部構成が省略されているが、上記メモリアレイMARY 0と同様な構成にされる。

【0025】各メモリマットMAT 0～MAT 7において、デコーダXD 0～XD 7が設けられる。これらのデコーダXD 0～XD 7は、プリデコーダ回路X P Dの出力信号アドレス信号AX iを解読して4本分のワード線選択信号を形成する。このデコーダXD 0～XD 7と次に説明するマット制御回路MAT C T R L 0 1～MAT C T R L 6 7の出力信号とによってワード線の選択信号を形成するワードドライバWD 0～WD 7が設けられる。このワードドライバには、前記予備のワード線に対応したワードドライバも含まれる。

【0026】上記一対のメモリマットMAT 0, MAT 1に対応してマット制御回路MAT C T T L 0 1が設けられる。他の対とされるメモリマットMAT 2, MAT 3～MAT 6, MAT 7に対しても同様なマット制御回路MAT C T R L 2 3, MAT C T R L 4 5, MAT C T R L 6 7が設けられる。マット制御回路MAT C T R L 0 1～MAT C T R L 6 7は、マット選択信号MS iと信号X E及びセンス動作タイミング信号φ S A及び下位2ビットのアドレス信号の解読信号とを受けて、選択

されたメモリマットに対してた1つのマット制御回路において、4本のワード線の中の1本を選択する選択信号X i B等を出力する。この他に、上記選択されたメモリマットに対して左右いずれかのメモリマットに対応したビット線選択スイッチをオン状態のままでし、非選択のメモリマットに対応したビット線選択スイッチをオフ状態にする選択信号や、センスアンプの増幅動作を開始させるタイミング信号を出力する。

【0027】不良ワード線へのアクセスが行われたとき10には、信号X Eのロウレベルにより上記選択信号X i B等を出力が禁止されるので不良ワード線の選択動作が停止される。これに代えて、冗長回路側の選択信号X R i Bが形成されるので、予備のワード線が選択状態にされる。

【0028】図5において、タイミング制御回路TGは、外部端子から供給されるロウアドレスストローブ信号R A S B、カラムアドレスストローブ信号C A S B、ライトイネーブル信号W E B及びアウトプットイネーブル信号O E Bを受けて、動作モードの判定、それに対応20して内部回路の動作に必要な各種のタイミング信号を形成する。

【0029】信号R 1とR 2は、ロウ系の内部タイミング信号であり、前記図3のように使用する。タイミング信号φ X Lは、ロウ系アドレスを取り込んで保持させる信号であり、ロウアドレスバッファR A Bに供給される。すなわち、ロウアドレスバッファR A Bは、上記タイミング信号φ X Lによりアドレス端子A 0～A iから入力されたアドレスを取り込んでラッチ回路に保持される。

【0030】タイミング信号φ Y Lは、カラムウ系アドレスを取り込んで保持させる信号であり、カラムアドレスバッファC A Bに供給される。すなわち、カラムアドレスバッファR A Bは、上記タイミング信号φ Y Lによりアドレス端子A 0～A iから入力されたアドレスを取り込んでラッチ回路に保持される。

【0031】信号φ R E Fは、リフレッシュモードのとき40に発生される信号であり、ロウアドレスバッファの入力部に設けられたマルチプレクサAMXに供給されて、リフレッシュモードのときにリフレッシュ用アドレス信号に切り替えるよう制御する。リフレッシュアドレスカウンタ回路R F Cにより形成されたリフレッシュ用アドレス信号に切り替えるよう制御する。リフレッシュアドレスカウンタ回路R F Cは、タイミング制御回路TGにより形成されたリフレッシュ用の歩進パルスφ R Cを計数してリフレッシュアドレス信号を生成する。

【0032】タイミング信号φ Xは、ワード線選択タイミング信号であり、デコーダX I Bに供給されて、下位2ビットのアドレス信号の解読された信号に基づいて4通りのワード線選択タイミング信号X i Bが形成される。タイミング信号φ Yはカラム選択タイミング信号であり、カラム系プリデコーダY P Dに供給されてカラム

選択信号AYix、AYjx、AYkxが出力される。

【0033】タイミング信号 ϕW は、書き込み動作を指示する制御信号であり、タイミング信号 ϕR は読み出し動作を指示する制御信号である。これらのタイミング信号 ϕW と ϕR は、入出力回路I/Oに供給されて、書き込み動作のときには入出力回路I/Oに含まれる入力バッファを活性化し、出力バッファを出力ハイインピーダンス状態にさせる。これに対して、読み出し動作のときには、上記出力バッファを活性化し、入力バッファを出力ハイインピーダンス状態にする。

【0034】タイミング信号 ϕMS は、マット選択動作を指示する信号であり、ロウアドレスバッファRABに供給され、このタイミングに同期してマット選択信号MSiが出力される。タイミング信号 ϕSA は、センスアンプの動作を指示する信号である。このタイミング信号 ϕSA に基づいて、センスアンプの活性化パルスが形成されることの他、相補ビット線のプリチャージ終了動作や、非選択のメモリマット側のビット線を切り離す動作の制御信号を形成するにも用いられる。

【0035】この実施例では、ロウ系の冗長回路X-REDが代表として例示的に示されている。すなわち、上記回路X-REDは、不良アドレスを記憶させる記憶回路と、アドレス比較回路とを含んでいる。記憶された不良アドレスとロウアドレスバッファRABから出力される内部アドレス信号BXiとを比較し、不一致のときは信号XEをハイレベルにし、信号XE_Bをロウレベルにして、正規回路の動作を有効にする。上記入力された内部アドレス信号BXiと記憶され不良アドレスとが一致すると、信号XEをロウレベルにして正規回路の不良ワード線の選択動作を禁止させるとともに、信号XE_Bをハイレベルにして、前記図2のような選択回路によって、1つの予備ワード線を選択する選択信号XRI_Bを出力させる。

【0036】図5では、省略されているが、上記ロウ系の回路と同様な回路がカラム系にも設けられており、それによって不良ビット線に対するメモリアクセスを検出すると、カラムデコーダYDによる不良ビット線の選択動作を停止させ、それに代えて、予備に設けられているビット線を選択する選択信号が形成される。

【0037】上記実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 予備のビット線又はワード線をメモリマットのほぼ中央部に配置することにより、予備のワード線又はビット線の不良発生確率が小さいことを利用して、不良のワード線又はビット線を予備のワード線又はビット線に切り替えたときの不良発生確率を低くすることができるという効果が得られる。

【0038】(2) ワード線を相補ビット線のツイスト部を挟んで両側に同じ数の予備のワード線を設けることにより、相補ビット線間の容量バランスを探ることが

でき、動作マージンの向上を図ることができるという効果が得られる。

【0039】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、予備のワード線は、上記のように相補ビット線のツイスト部の両側に同じ数だけ分散して設けるようにし、ビット線の容量バランスを探るようにしたとき、他のレイアウト10等の関係により相補ビット線をメモリマットの周辺部に配置してもよい。

【0040】図4において、同様なメモリアレイとYデコーダを設けて、4つのメモリアレイにより1つのダイナミック型RAMを構成してもよい。また、4つのメモリアレイを1組として、それを4組設けて1つのダイナミック型RAMを構成するようにしてもよい。このように、ダイナミック型RAMの実際のメモリアレイの構成は、種々の実施形態を探ることができる。

【0041】相補ビット線を持つ半導体記憶装置として20は、折り返しビット線方式のダイナミック型RAMの他に、スタティック型RAMもある。スタティック型RAMにおいても、1つおきの相補ビット線にツイスト部を設けることによりビット線間のカップリングの影響を軽減できるので、予備のワード線を相補ビット線のツイスト部を挟んで同じ数だけ設けることにより、同様な動作マージンの改善を図ることができ、同時にデータスクランブルの単純化を図ることができる。

【0042】この発明は、上記のような相補ビット線を持つダイナミック型RAMやスタティック型RAMの他に、各種ROMにも適用できる。RAMやROMは、1つのメモリ集積回路を構成するもの他、マイクロコンピュータ等のようなデジタル集積回路に内蔵されるものであってもよい。

【0043】
【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、予備のビット線又はワード線をメモリマットのほぼ中央部に配置することにより、予備のワード線又はビット線における不良発生確率が小さいことを利用して、不良のワード線又はビット線を予備のワード線又はビット線に切り替えたときの不良発生確率を低くすることができる。

【図面の簡単な説明】

【図1】この発明に係るダイナミック型RAMのメモリマット部の一実施例を示す概略パターン図である。

【図2】予備ワード線の選択回路の一実施例を示す回路図である。

【図3】ワード線選択動作を説明するための一実施例を示すタイミング図である。

50 【図4】この発明に係るダイナミック型RAMにおける

メモリアレイ部と周辺回路の一実施例を示すブロック図である。

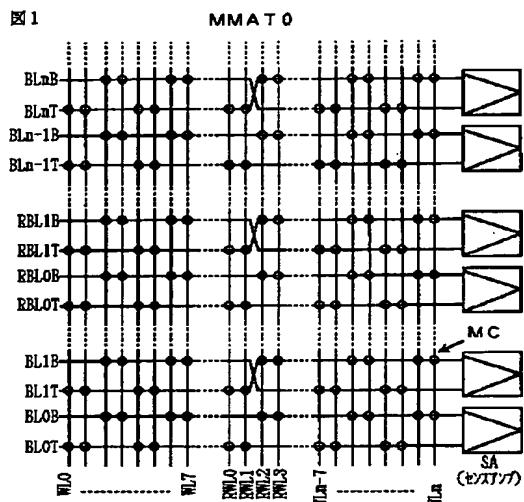
【図5】この発明に係るダイナミック型RAMにおける入出力インターフェイス部とタイミング制御回路の一実施例を示すブロック図である。

【符号の説明】

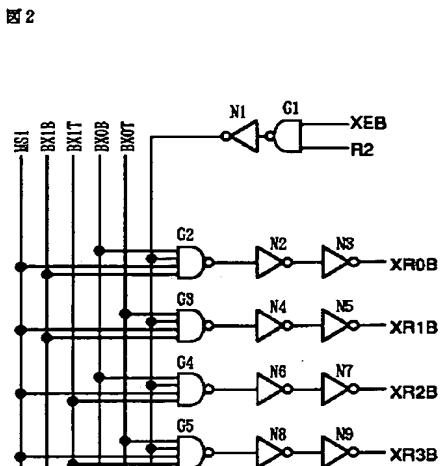
MAT0～MAT7…メモリマット、MARY0, MARY1…メモリアレイ、XD0～XD7…デコーダ回路、WD0～WD7…ワードドライバ、SA01～SA

6 7…センスアンプ、 Y D…カラムデコーダ回路、 M A T C T R L 0～M A T C T R L 3…マット制御回路、 T G…タイミング制御回路、 I / O…入出力回路、 R A B …ロウアドレスバッファ、 C A B…カラムアドレスバッファ、 A M X…マルチプレクサ、 R F C…リフレッシュアドレスカウンタ回路、 X P D、 Y P D…プリテコーダ回路、 X - D E C…カラム系冗長回路、 X I B…デコーダ回路。

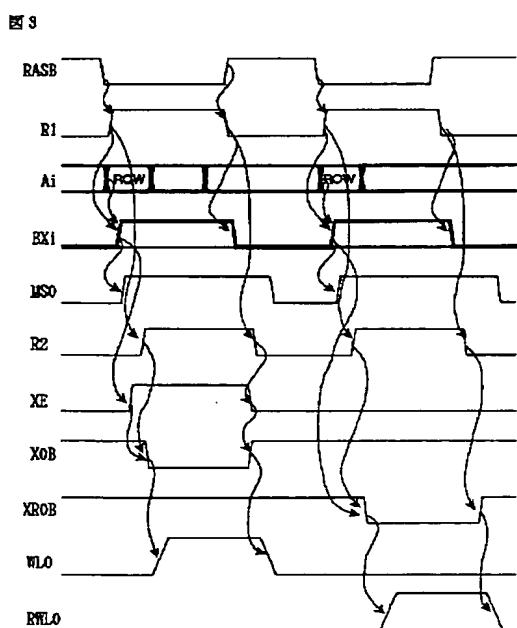
【図1】



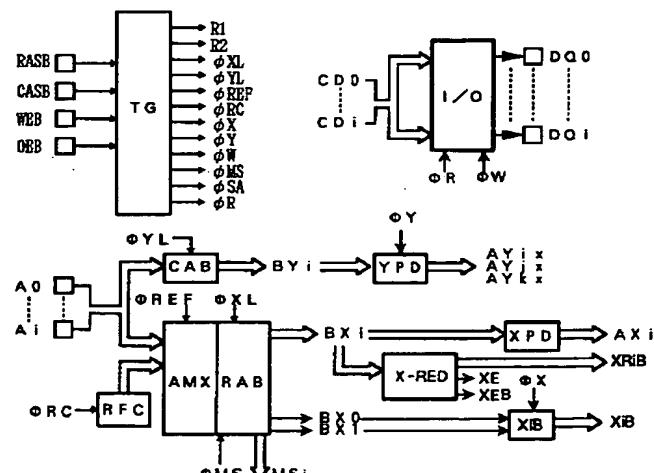
【図2】



【图3】

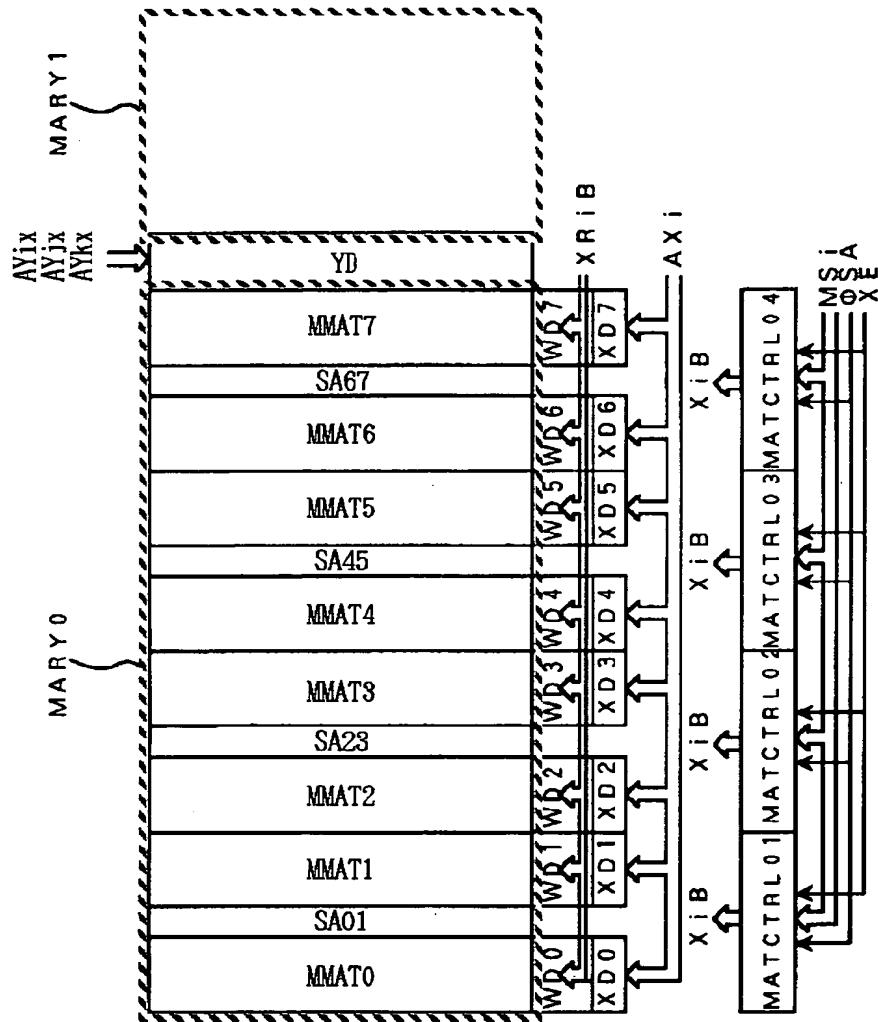


[図 5]



【図4】

图 4



フロントページの続き

(72) 発明者 鈴木 幸英
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内
(72) 発明者 吉田 博幸
茨城県稻敷郡美浦村木原2350 日本テキサ
ス・インスツルメンツ株式会社内

(72) 発明者 乾 隆至
茨城県稲敷郡美浦村木原2350 日本テキサス・インスツルメンツ株式会社内
(72) 発明者 沼賀 茂樹
茨城県稲敷郡美浦村木原2350 日本テキサス・インスツルメンツ株式会社内